

Wide-dynamic-range variable-gain amplifier

Publication number: JP2002510888T

Publication date: 2002-04-09

Inventor:

Applicant:

Classification:

- international: **H03G1/00; H03G1/00;** (IPC1-7): H03F3/68; H03G3/02

- european: H03G1/00B4D

Application number: JP20000541770T 19990224

Priority number(s): US19980050499 19980330; WO1999US04037 19990224

Also published as:

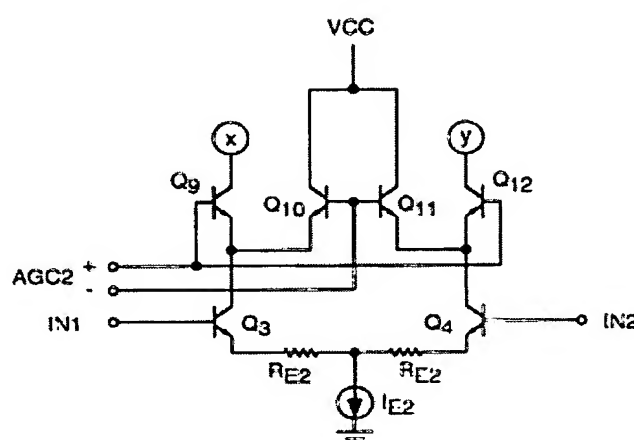
WO9950956 (A1)
EP1066683 (A1)
US6049251 (A1)
EP1066683 (A0)
CA2324109 (A1)

[Report a data error here](#)

Abstract not available for JP2002510888T

Abstract of corresponding document: **US6049251**

A very-wide-dynamic-range amplifier with very low-noise in the high-gain mode and very high-input-overload in the low-gain mode. The amplifier utilizes two parallel signal paths, one a high-gain, low-noise path and the other a low-gain, high-input-overload path. Each path includes a gain-control capability so that the gain of each path, and the contribution of the gain of each path to the overall gain of the amplifier may be smoothly varied from a very low-gain to a very high-gain. Specific embodiments including input impedance matching capabilities are disclosed.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-510888

(P2002-510888A)

(43) 公表日 平成14年4月9日(2002.4.9)

(51) IntCl. ⁷	識別記号	F I	テグコード* (参考)
H 0 3 F 3/68		H 0 3 F 3/68	B 5 J 0 6 9
H 0 3 G 3/02		H 0 3 G 3/02	Z 5 J 1 0 0

審査請求 未請求 予備審査請求 有 (全 31 頁)

(21) 出願番号 特願2000-541770(P2000-541770)
 (86) (22) 出願日 平成11年2月24日(1999.2.24)
 (85) 翻訳文提出日 平成12年10月2日(2000.10.2)
 (86) 国際出願番号 PCT/US99/04037
 (87) 国際公開番号 WO99/50956
 (87) 国際公開日 平成11年10月7日(1999.10.7)
 (31) 優先権主張番号 09/050,499
 (32) 優先日 平成10年3月30日(1998.3.30)
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, IL, JP, KR

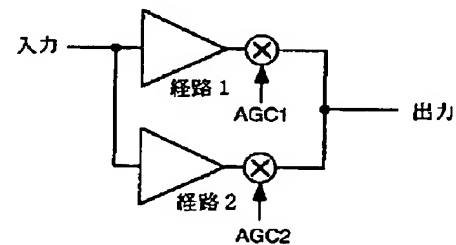
(71) 出願人 マキシム・インテグレートッド・プロダクツ・インコーポレーテッド
 アメリカ合衆国・94086・カリフォルニア州・サニーベイル・サン ガブリエルドライブ・120
 (72) 発明者 メイヤー, ロバート・ゴッドフリ
 アメリカ合衆国・94708・カリフォルニア州・パークレイ・ミドルフィールド ロード・981
 (74) 代理人 弁理士 山川 政樹

最終頁に続く

(54) 【発明の名称】 広ダイナミックレンジの可変利得増幅器

(57) 【要約】

高利得モードにおいて超低ノイズで、低利得モードにおいて超高入力過負荷能力を有する超広ダイナミックレンジ増幅器。この増幅器は、一方が高利得低ノイズ経路であり、他方が低利得高入力過負荷経路である互いに並列な2つの信号経路を用いたものである。これらの各経路は、常に所望の高入力過負荷特性を維持しながら、各経路の利得及び増幅器の総合利得への各経路の利得の寄与度を超低利得から超高利得まで円滑に変えられるように、利得制御機能を具有する。入力インピーダンス整合機能を具有する特定実施例が開示・説明される。



ンス整合機能を具有するいくつかの特定の実施形態を開示し、以下説明する。【0004】発明の詳細な説明

本発明においては、図1に概略図解されているような2本の並列信号経路の形で設けられた2つの広ダイナミックレンジ可変利得増幅器が使用される。第1の経路、経路1は、自動利得制御信号AGC1によって可変利得制御される高利得低ノイズ増幅器で構成されている。第2の経路、経路2は、高入力過負荷能力を有すると共に、自動利得制御信号AGC2によって可変利得制御される低利得増幅器で構成されている。ここに開示する実施例においては、入力が並列に接続されており、また増幅器の出力は共有負荷抵抗器に供給される高出力インピーダンス電流であるため、共通入力に対する総出力は2つの信号経路の出力の和に等しい。通常、図2と3の回路は単一の集積回路に作り込まれる。【0005】

図2は、自動利得制御信号AGC1によって制御される自動利得制御回路を有する高利得低ノイズ経路よりなる経路1の回路図であり、図3は、自動利得制御信号AGC2によって制御される自動利得制御回路を有する低利得高過負荷能力経路よりなる経路2の回路図である。図2においても、図3においても、利得制御信号AGC1及びAGC2は差動制御信号であり、同様に入力信号IN1及びIN2と出力信号x及びyも差動制御信号である。この点に関しては、図1で概略図解されているように、図3の差動入力信号IN1及びIN2と差動出力信号x及びyは図2の同じ記号の信号に並列に接続されている。差動出力x及びyは、實際上、トランジスタQ5とQ9、及びQ8とQ12を通る電流をそれぞれ加算する電流加算点である。これらのトランジスタのコレクタは高出力インピーダンスを有し、コレクタが共通接続されたトランジスタの出力電流には影響を与えない。【0006】

図2において、電流源I_{E1}は差動入力トランジスタ対Q1とQ2にテール電流を供給し、図3においては、電流源I_{E2}が差動入力トランジスタの対Q3とQ4にテール電流を供給する。また、図2の抵抗器R_{E1}及び図3の抵抗器R_{E2}は、利得制限・線形化抵抗器であり、従って図2の回路は高利得低ノイズ増幅器の回路であるから、通常抵抗器R_{E1}は値が小さく、省かれることもある。しかしながら、図3の抵抗器R_{E2}は低利得高入力過負荷増幅器にとって望ましい小さく制限された利得と高い直線性という点に従って選択され、これら2つの抵抗器は無理のない範囲でできる限り同じ値にすることが望ましい。【0007】

利得制御信号AGC1 (図2)は、トランジスタQ6とQ7のベース電圧に対して相対的にトランジスタQ5及びQ8のベース電圧を制御する。トランジスタQ5乃至Q8が全く同じ大きさであると仮定すると、差動利得制御信号AGC1がゼロのとき、トランジスタQ5とQ6のベース-エミッタ電圧は同じになるので、トランジスタQ1のコレクタ電流はトランジスタQ5とQ6とに等しく分割されて流れ

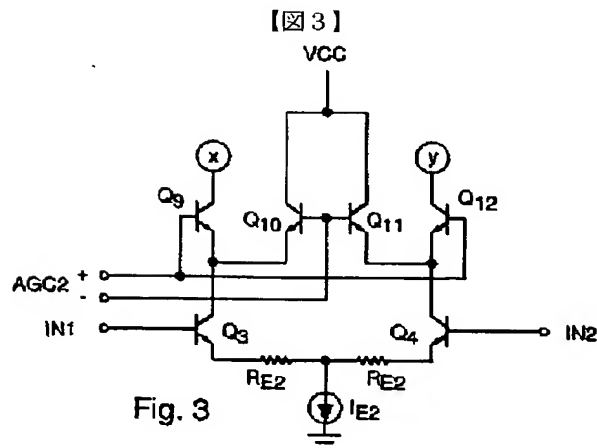
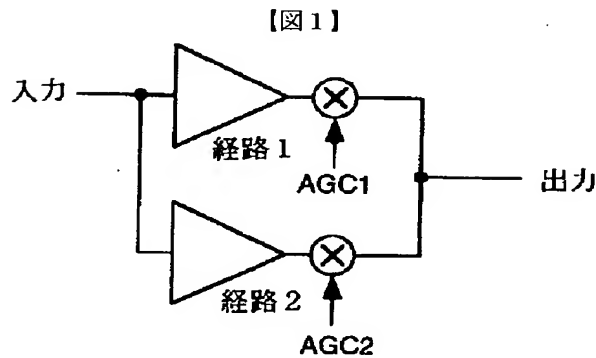
る。同様に、この条件の下で、トランジスタQ2のコレクタ電流はトランジスタQ7とQ8とに等しく分割されて流れる。【0008】利得制御信号AGC1が完全にオン(最大利得)のとき、AGC1の正の利得制御端子は負端子より十分高く駆動されて、トランジスタQ5がより強く導通すると共に、トランジスタQ6はほとんど非導通状態になるので、トランジスタQ1の全コレクタ電流はトランジスタQ5を通して流れる。同時に、トランジスタQ2の全コレクタ電流はトランジスタQ8を通して流れることになる。同様に、利得制御信号AGC1が十分に負の場合は、負の利得制御端子は正端子に比べて十分高く駆動されてトランジスタQ6及びQ7をより強く導通させると共に、トランジスタQ5及びQ8をほぼ非導通にするので、トランジスタQ1及びQ2のコレクタ電流はそれぞれトランジスタQ6及びQ7を通して流れるようになる。従って、トランジスタQ5とQ6はトランジスタQ1のコレクタ電流のための制御可能な線形電流分割器ないしは分流器を形成し、同じくトランジスタQ7とQ8もトランジスタQ2のコレクタ電流のための制御可能な線形電流分割器を形成する。図3においては、上記同様にトランジスタQ9とQ10がトランジスタQ3のコレクタ電流のための制御可能な線形電流分割器を形成し、トランジスタQ11とQ12がトランジスタQ4のコレクタ電流のための制御可能な線形電流分割器を形成する。【0009】ここで説明した制御可能な線形電流分割器は、通常の電流範囲では電流分割ないしは分流が全く一定に保たれるという点で非常に線形性が高いということに注目すべきである。特に、もし2つの同じトランジスタが異なる電流を流した状態で動作する場合、それらの2つのトランジスタのベース-エミッタ電圧の差は次式で与えられる： $V_{BE1} - V_{BE2} = K T / q \cdot \ln(I_{C1} / I_{C2})$ 式中：K=ボルツマン定数 T=絶対温度 q=電子電荷 V_{BE1} 、 V_{BE2} =2つのトランジスタのベース-エミッタ電圧 I_{C1} 、 I_{C2} =2つのトランジスタのコレクタ電流【0010】このように、与えられた絶対温度においては、それぞれの利得制御信号(図2のAGC1と図3のAGC2)によって制御される2つの利得制御トランジスタのベース-エミッタ電圧の差は、これら2つのトランジスタを流れる電流の和、増幅器の入力端の電流の和も入力信号強度によって左右されるにかかわらず、2つの電流の分割比あるいは分流比を同等なものとする。電流比は絶対温度に従って変化するが、この回路が使用されるシステムは、回路の所望の総利得をその使用温度範囲にわたって維持するのに必要な形で温度変化を妨げるように利得制御信号を制御する。【0011】再び図2に戻って、npnトランジスタQ13及びQ14はコレクタが正電源VCCに接続され、ベースがそれぞれxとyの差動出力に接続され、エミッタが抵抗器R3及びR4を介してそれぞれ差動増幅器入力IN1及びIN2の対

応する1つに接続されている。電流源 I_{E3} は、トランジスタQ13及びQ14が所定の導通状態になるためのバイアス電流を供給する。トランジスタQ13及びQ14とその付随回路は任意態様として設けることが可能な構成要素であり、例えば、それが望ましい場合、インピーダンス整合用として設けることができる。特に、R3及びR4は、増幅器に差動入力信号を供給する他の回路または装置の出力インピーダンスとの整合をより良くするために増幅器の入力インピーダンスを小さくするための抵抗器である。図示のようなR3及びR4の接続形態は、対応する差動入力と電源端子との間にこれらの抵抗器を接続する場合と比較してノイズが大きく低減される。しかしながら、図示の回路は、増幅器の入力インピーダンスが利得従属性になるという短所がある。詳しく言うと、R3及びR4が電源端子に接続されているとすれば、増幅器の入力インピーダンスはほぼ抵抗器R3及びR4の値と等しい。しかしながら、図示のような接続形態の場合、増幅器の入力インピーダンスは $R/(1+A)$ に等しくなる。ただし、RはR3及びR4の各抵抗器の値であり、Aは増幅器の利得である。従って、本発明の特徴の1つは可変利得の範囲が広いことであるから、この技術だけを単独で用いた入力インピーダンス整合は明らかに限界があり、実際には入力インピーダンスが低利得で不当に低くならないような場合に高利得においてしか整合を達成することができない。【0012】より良い入力インピーダンス整合が必要な場合は、この技術をもう一つの入力インピーダンス補償技術と組み合わせる使用するか、あるいは、何か他の入力インピーダンス設定法を使用することが可能である。一例として、一対の回路の各々(図4に示すような回路)を差動入力IN1及びIN2にそれぞれ接続する。図4では入力はまとめて符号INで示されている。この回路においては、抵抗器 R_M とダイオードD1を通る電流はnpnトランジスタQ15によって制御され、またトランジスタQ15はこのトランジスタのベースの電圧 V_M によって制御される。それぞれの差動入力信号INはコンデンサC1を介して2つの抵抗器 R_M の midpoint に接続されている。典型的な増幅器動作周波数では、コンデンサC1のインピーダンスは比較的低いが、直流阻止効果をもたらすので図4の回路が差動入力の低周波共通モード電圧に影響を与えることはない。【0013】トランジスタQ15のベース電圧 V_M が低いときは、このトランジスタはオフになって抵抗器 R_M には電流が流れず、もちろんダイオードD1にはこれを導通状態にするバイアスは与えられない。その結果、これらの抵抗器は事実上浮いた状態になるので、回路は増幅器の入力インピーダンスに対して無視できる程度の影響しか及ぼさず、過負荷能力を損なうような非線形性を生じさせることはない。これは、増幅器入力インピーダンスが抵抗器R3及びR4の値によって設定される図2及び3の増幅器について

利得設定が比較的高い(A、すなわち増幅器の利得が高く、入力インピーダンスが最も低くなる)ことを典型的に表している。利得が小さくなるにつれて、電圧 V_M をVCCまで上げることによりトランジスタQ15をオンにし、ダイオードD1を実質的な導通状態にすることができる。すると、入力INで見た標準的な動作周波数における入力インピーダンスはほぼ $R_M/2$ に等しくなる。【0014】図4の回路において、抵抗器 R_M の入力INに対するカップリングは、トランジスタQ15のベース電圧を変えて抵抗器 R_M を流れる電流をゼロから通常数ミリアンペアであるその最大動作値まで変えることによって変えることができる。これによってトランジスタQ15とダイオードD1のインピーダンスのインクリメント幅が大きくなるので、入力インピーダンスに対する影響は $R_M/2$ より大きくなる。しかしながら、これは、より低い増幅器利得におけるインピーダンス整合には、図2及び3の増幅器の入力に結合されるインピーダンスをさらに追加することが必要になるので、好ましくない。例えば、増幅器が飽和する前の差動入力信号の通常動作振幅変化がより大きくなって、低いバイアス電流レベルでの動作時、電流変化によるトランジスタQ15とダイオードD1の非線形性が增大するために入力歪みが大きくなる。【0015】本発明は、多くの用途で大いに要望される機能として、高利得モードにおいて超低ノイズであり、低利得モードで超高入力過負荷能力を有する超広ダイナミックレンジ増幅器を提供するものである。小さい入力(高利得)に対しては、電流源 I_{E2} は好ましくはオフとなり、利得制御信号AGC1が最大利得に設定される。入力信号がある最小値以上に大きくなると、利得は利得制御信号AGC1の制御によって低減される。さらに大きい入力信号に対しては、利得制御信号AGC1が図2の高利得回路の利得をさらに低減するように制御されるので電流源 I_{E2} がオンになり、利得制御信号AGC2はほぼゼロの利得設定から大幅に増大する。結局、低利得の高過負荷モードにおいては電流源 I_{E1} がオフになり、低利得、高過負荷モード中の利得変動は全面的に利得制御信号AGC2によって制御されることになる。この状態では、高利得の増幅器はオフになり、低利得状態で望まれる高過負荷特性を損なうような非線形性を生じることではない。必要ならば、この状態で電流源 I_{E1} の上側にあるノードの電圧を幾分正にして、Q1及びQ2が確実に明確なオフ状態となるようにすることも可能である。どちらかの電流源をオンまたはオフにする際には、それぞれ対応する利得制御信号がその対応する回路からの利得がほぼゼロになるように指示しているときにのみそれらの電流源をオンまたはオフにすることによって、利得変化が不連続なステップ状になるのを避けることができる。【0016】本発明で開示した実施形態は、具体性を示すためにnpnバイポーラトランジスタを使用する場合について開示し、

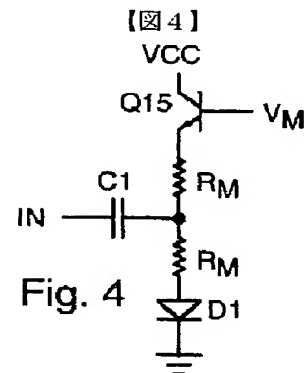
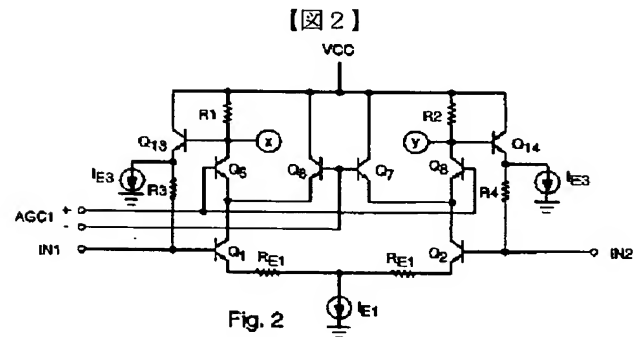
説明した。しかしながら、例えばpnpトランジスタやnチャンネルまたはpチャンネルMOS素子のような他の能動素子を使用することが可能ことは当業者にとって明白であろう。【0017】本発明は、特定の実施例との関連で開示し、説明したが、当業者ならば形式及び細部において発明の精神及び範囲を逸脱することなく様々な変更・修正態様をなし得ることは理解されよう。

【図面の簡単な説明】 【図1】 本発明の構成を示す



ブロック図である。【図2】 図1のブロック図における経路1、すなわち高利得低ノイズ信号経路の回路図である。【図3】 図1のブロック図における経路2、すなわち低利得高過負荷能力経路の回路図である。

【図4】 入力インピーダンス付加調整のために図2及び3の増幅器の各差動入力に接続することが可能な回路の回路図である。



【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成11年10月29日(1999.10.29) 【手続補正1】 【補正対象書類名】明細書 【補正対象項目名】全文 【補正方法】変更 【補正内容】 【発明の名称】 広ダイナミックレンジの可変利得増幅器 【特許請求の範囲】 【請求項1】 第1の増幅器入力と第1の増幅器出力を有し、第1の可変利得制御信号によって制御される可変利得を有し、高利得低ノイズ性能を有する増幅器よりなる第1の増幅器回路と、第2の増幅器入力と第2の増幅器出力を有し、第2の可変利得制御信号によって制御される可変利得を有し、低利得高入力過負荷能力を持つ増幅器よりなる第2の増幅器回路とを備え、前記第1と該第2の増幅器入力互いに接続されて広ダイナミックレンジ可変利得増幅器の入力を形成しかつ前記第1と第2の増幅器出力互いに接続されて広ダイナミックレンジ可変利得増幅器の出力を形成するよう該第1の増幅器回路と第2の増幅器回路が並列接続され、前記広ダイナミックレンジ可変利得増幅器の出力応答が前記第1の可変利得制御信号に対する前記第1の増幅器回路の出力応答と前記第2の可変利得制御信号に対する第2の増幅器回路の出力応答との和であることを特徴とする広ダイナミックレンジ可変利得増幅器。 【請求項2】 上記第1及び第2の増幅器入力、各々第1の入力及び第2の入力を有する差動入力であり、そのそれぞれの第1の入力が互いに接続されかつそれぞれの第2の入力が互いに接続されて広ダイナミックレンジ可変利得増幅器の差動入力を形成していることを特徴とする請求項1記載の広ダイナミックレンジ可変利得増幅器。 【請求項3】 上記第1及び第2の増幅器入力、各々第1の入力及び第2の入力を有する差動入力であり、そのそれぞれの第1の入力が互いに接続されかつそれぞれの第2の入力が互いに接続されて広ダイナミックレンジ可変利得増幅器の差動入力を形成し、かつ上記第1及び第2の増幅器出力が各々第1の出力及び第2の出力を有する差動出力であり、そのそれぞれの第1の出力が互いに接続されかつそれぞれの第2の出力が互いに接続されて広ダイナミックレンジ可変利得増幅器の差動出力を形成していることを特徴とする請求項1記載の広ダイナミックレンジ可変利得増幅器。 【請求項4】 さらに、広ダイナミックレンジ可変利得増幅器の入力インピーダンスを変えるため、広ダイナミックレンジ可変利得増幅器の差動入力に接続される入力インピーダンス制御回路を有することを特徴とする請求項3記載の広ダイナミックレンジ可変利得増幅器。 【請求項5】 各々第1、第2の領域と制御領域を有し、これらの各トランジスタの第1領域から該第2領域への導通が第2領域に対する制御領域の電圧に依存して行われる第1乃至第12のトランジスタを有し、第1及び第2のトランジスタの第2の領域が互いに接続され、かつ第1の電

流源を介して第2の電源端子に接続されており、該第1及び該第2のトランジスタの制御領域がそれぞれ広ダイナミックレンジ可変利得増幅器の第1及び第2の差動入力端子を形成し、第3及び第4のトランジスタは、各々その第2の領域が第1及び第2の抵抗器の中のそれぞれ一方と第2の電流源を介して該第2の電源端子に接続され、該第3及び該第4のトランジスタの制御領域がそれぞれ広ダイナミックレンジ可変利得増幅器の該第1及び該第2の差動入力端子に接続され、第5及び第6のトランジスタの該第2の領域が互いに接続され、かつ該第1のトランジスタの該第1の領域に接続され、該第5のトランジスタの該第1の領域が広ダイナミックレンジ可変利得増幅器の一对の差動出力端子の中の第1の出力端子に接続され、該第6のトランジスタの該第1の領域が第1の電源端子に接続され、第7及び第8のトランジスタの該第2の領域が互いに接続され、かつ該第2のトランジスタの該第1の領域に接続され、該第8のトランジスタの該第1の領域が広ダイナミックレンジ可変利得増幅器の該一对の差動出力端子の中の第2の出力端子に接続され、該第7のトランジスタの該第1の領域が該第1の電源端子に接続され、第9及び第10のトランジスタの該第2の領域が互いに接続され、かつ該第3のトランジスタの該第1の領域に接続され、該第9のトランジスタの該第1の領域が広ダイナミックレンジ可変利得増幅器の該一对の差動出力端子の中の該第1の出力端子に接続され、該第10のトランジスタの該第1の領域が該第1の電源端子に接続され、第11及び第12のトランジスタの該第2の領域が互いに接続され、かつ該第4のトランジスタの該第1の領域に接続され、該第12のトランジスタの該第1の領域が広ダイナミックレンジ可変利得増幅器の該一对の差動出力端子の該第2の出力端子に接続され、該第11のトランジスタの第1の領域が該第1の電源端子に接続され、該第5及び該第8のトランジスタの制御領域が互いに結合されて一对の第1の差動可変利得制御入力端子の中の第1の入力端子を形成し、該第6及び該7のトランジスタの制御領域が互いに結合されて該一对の第1の差動可変利得制御入力端子の中の第2の入力端子を形成し、該第9及び該第12のトランジスタの制御領域が互いに結合されて一对の第2の差動可変利得制御入力端子の中の第1の入力端子を形成し、該第10及び該第11のトランジスタの制御領域が互いに結合されて該一对の第2の差動可変利得制御入力端子の中の第2の入力端子を形成し、これによって、広ダイナミックレンジ可変利得増幅器の出力応答が、第1の差動可変利得制御信号に依存して該第1及び該第2のトランジスタにより該第1及び該第2の差動入力端子に生じる出力応答と第2の差動可変利得制御信号に依存して該第3及び該第4のトランジスタにより生じる出力応答との和となるようになっており、該第1及び該第2のトランジスタよりなる回路は高利得低ノイ

ズ増幅機能を達成するための手段であり、該第3及び該第4のトランジスタよりなる回路は低利得高入力過負荷能力を達成するための手段であることを特徴とする広ダイナミックレンジ可変利得増幅器。【請求項6】

上記トランジスタがバイポーラトランジスタであり、各トランジスタの第1領域がコレクタであり、各トランジスタの第2領域がエミッタであり、各トランジスタの制御領域がベースであることを特徴とする請求項5記載の広ダイナミックレンジ可変利得増幅器。【請求項7】 上記バイポーラトランジスタがnpnバイポーラトランジスタであることを特徴とする請求項6記載の広ダイナミックレンジ可変利得増幅器。【請求項8】 上記第1の利得制御信号及び上記第2の利得制御信号を発生し、該第1の利得制御信号と該第2の利得制御信号を同時に変えることによって広ダイナミックレンジ可変利得増幅器の利得を円滑に変化させるための利得制御回路を有することを特徴とする請求項1記載の広ダイナミックレンジ可変利得増幅器。【請求項9】 上記利得制御回路によって上記第1の利得制御信号及び上記第2の利得制御信号を実質的に同時に互いに逆方向に変化させて、広ダイナミックレンジ可変利得増幅器の利得を上記第1の増幅器回路の可変利得と上記第2の増幅器回路の可変利得との間で円滑に変化させることを特徴とする請求項8記載の広ダイナミックレンジ可変利得増幅器。

【請求項10】 上記入力インピーダンス制御回路が、広ダイナミックレンジ可変利得増幅器の入力インピーダンスをこれに接続された別の回路の出力インピーダンスと整合させるように変えることを特徴とする請求項4記載の広ダイナミックレンジ可変利得増幅器。【請求項11】 上記第1のトランジスタの上記第2の領域と上記第2のトランジスタの上記第2の領域とが互いに整合された低い抵抗値を有する第3及び第4の抵抗器を介して互いに接続されていることを特徴とする請求項5記載の広ダイナミックレンジ可変利得増幅器。【請求項12】 各々第1及び第2の領域と制御領域を有し、各トランジスタの第1領域から第2領域への導通が該第2領域に対する制御領域の電圧にตอบสนองして行われる第13及び第14のトランジスタを有し、該第13及び該第14の各トランジスタの第1の領域が互いに接続され、かつ上記第1の電源に接続され、該第13のトランジスタの制御領域が上記一対の差動出力端子の中の第1の出力端子に接続され、該第13のトランジスタの第2の領域が第3の電流源に接続されると共に、第5の抵抗器を介して広ダイナミックレンジ可変利得増幅器の上記第1の差動入力端子に接続され、該第14のトランジスタの制御領域が該一対の差動出力端子の第2の出力端子に接続されており、該第13のトランジスタの第2の領域が該第3の電流源に接続されると共に、第6の抵抗器を介して広ダイナミックレンジ可変利得増幅器の上記第2の差動入力端子に接続されていることを特徴とする請求

項5記載の広ダイナミックレンジ可変利得増幅器。【請求項13】 各々第1及び第2の領域と制御領域を有し、各トランジスタの第1領域から第2領域への導通が該第2領域に対する制御領域の電圧にตอบสนองして行われる第15及び第16のトランジスタを有し、該第15及び該第16の各トランジスタの第1の領域が互いに接続され、かつ上記第1の電源に接続され、該第15のトランジスタの制御領域が第1のインピーダンス整合制御端子に接続され、該第13のトランジスタの第2の領域が第7の抵抗器を介して第1のノードに接続され、該第1のノードが第1のコンデンサを介して広ダイナミックレンジ可変利得増幅器の上記第1の差動入力端子に接続され、かつ直列接続された第8の抵抗器と第1のダイオードを介して上記第2の電源に接続され、該第16のトランジスタの制御領域が第2のインピーダンス整合制御端子に接続され、該第16のトランジスタの第2の領域が第9の抵抗器を介して第2のノードに接続され、該第2のノードが第2のコンデンサを介して広ダイナミックレンジ可変利得増幅器の上記第2の差動入力端子に接続され、かつ直列接続された第10の抵抗器と第2のダイオードを介して上記第2の電源に接続されていることを特徴とする請求項12記載の広ダイナミックレンジ可変利得増幅器。【請求項14】 上記第1及び上記第2のインピーダンス整合制御端子に接続されていて広ダイナミックレンジ可変利得増幅器の入力インピーダンスをこれに接続された別の回路の出力インピーダンスと整合させるように変えるための入力インピーダンス制御回路を有することを特徴とする請求項13記載の広ダイナミックレンジ可変利得増幅器。【請求項15】 上記一対の第1の差動利得制御入力端子に接続されていてその上に第1の利得制御信号を発生すると共に、上記一対の第2の差動利得制御入力端子に接続されていてその上に第2の利得制御信号を発生し、該第1の利得制御信号と該第2の利得制御信号を同時に変えることによって広ダイナミックレンジ可変利得増幅器の利得を円滑に変化させるための利得制御回路を有することを特徴とする請求項5記載の広ダイナミックレンジ可変利得増幅器。

【請求項16】 上記第1、第2、第5、第6、第7及び第8のトランジスタ、及び第1の電流源によって第1のトランジスタ増幅器回路が構成されており、上記第3、第4、第10、第11及び第12のトランジスタと、第1及び第2の抵抗器、及び第2の電流源によって第2のトランジスタ増幅器回路が構成されていることを特徴とする請求項15の広ダイナミックレンジ可変利得増幅器。【請求項17】 上記利得制御回路によって上記第1の利得制御信号及び上記第2の利得制御信号を実質的に同時に互いに逆方向に変化させて、広ダイナミックレンジ可変利得増幅器の利得を上記第1のトランジスタ増幅器回路の可変利得と上記第2のトランジスタ増幅器回路の可変利得との間で円滑に変化させることを特

徴とする請求項16記載の広ダイナミックレンジ可変利得増幅器。【請求項18】 第1の利得制御信号に応答して変化する利得を有する高利得低ノイズ増幅経路を設け、第2の利得制御信号に応答して変化する利得を有する低利得高入力過負荷増幅経路を設け、該高利得低ノイズ増幅経路及び該低利得高入力過負荷増幅経路に入力信号を入力し、該高利得低ノイズ増幅経路と該低利得高入力過負荷増幅経路の出力を互いに加算して増幅出力信号を形成し、該第1の利得制御信号と該第2の利得制御信号を実質的に同時に変化させることによって該増幅器出力信号の増幅度を円滑に変えることを含む入力信号を増幅する方法。【請求項19】 得られる増幅度レベルが上記高利得低ノイズ増幅経路と上記低利得高入力過負荷増幅経路との間で円滑に切り換わるように上記第1の利得制御信号と上記第2の利得制御信号を互いに逆方向に円滑に変化させることを特徴とする請求項18記載の方法。【請求項20】 得られる増幅度レベルが上記高利得低ノイズ増幅経路から上記低利得高入力過負荷増幅経路へ円滑に切り換わるように上記第1の利得制御信号と上記第2の利得制御信号を互いに逆方向に円滑に変化させることを特徴とする請求項19記載の方法。【請求項21】 得られる増幅度レベルが上記低利得高入力過負荷増幅経路から上記高利得低ノイズ増幅経路へ円滑に切り換わるように上記第1の利得制御信号と上記第2の利得制御信号を互いに逆方向に円滑に変化させることを特徴とする請求項19記載の方法。【発明の詳細な説明】 【0001】 発明の背景 1. 発明の分野 本発明は、IC増幅器の技術分野に関するものである。【0002】 2. 従来技術 高利得モードで低ノイズであり、低利得モードで超高入力過負荷能力を有する超広ダイナミックレンジ増幅器が必要とされることがしばしばある。従来技術においては、これは所望の低ノイズ・高利得特性を持つ増幅器と所望の低利得・高入力過負荷能力を持つ増幅器の2つの増幅器を互いに並列に接続することによって達成された。このようにして、それぞれの時点において望ましい特性を有する増幅器を動作可能にすることによってどちらの特性も達成することができる。しかしながら、このような構成は、高入力過負荷特性を保持したまま2つの大きく異なる特性相互間で円滑な切り換えを行うことができるようにはなっておらず、また全ての動作条件下における増幅器系全体の動作特性の最適化が可能ではないので、理想的なものとは言えない。【0003】 発明の要約 本発明は、高利得モードにおける超低ノイズ及び低利得モードにおける超高入力過負荷特性を有する超広ダイナミックレンジ増幅器にある。この超広ダイナミックレンジ増幅器は、高利得低ノイズ経路と低利得高入力過負荷経路の互いに並列な2つの信号経路を用いるものである。各経路は、各経路の利得及び超広ダイナミックレンジ増幅器の総合利得に対する各経路の利得の寄与度を所望の高入力過負

荷特性を常時維持しつつ超低利得から超高利得まで円滑に変えられるようにする利得制御機能を備える。入力インピーダンス整合機能を有するいくつかの特定の実施形態を開示し、以下説明する。【0004】 発明の詳細な説明 本発明においては、図1に概略図解されているような2本の並列信号経路の形で設けられた2つの広ダイナミックレンジ可変利得増幅器が使用される。第1の経路、経路1は、自動利得制御信号AGC1によって可変利得制御される高利得低ノイズ増幅器で構成されている。第2の経路、経路2は、高入力過負荷能力を有すると共に、自動利得制御信号AGC2によって可変利得制御される低利得増幅器で構成されている。ここに開示する実施例においては、入力が並列に接続されており、また増幅器の出力は共有負荷抵抗器に供給される高出力インピーダンス電流であるため、共通入力に対する総出力は2つの信号経路の出力の和に等しい。通常、図2と3の回路は単一の集積回路に作り込まれる。【0005】 図2は、自動利得制御信号AGC1によって制御される自動利得制御回路を有する高利得低ノイズ経路よりなる経路1の回路図であり、図3は、自動利得制御信号AGC2によって制御される自動利得制御回路を有する低利得高過負荷能力経路よりなる経路2の回路図である。図2においても、図3においても、利得制御信号AGC1及びAGC2は差動制御信号であり、同様に入力信号IN1及びIN2と出力信号x及びyも差動制御信号である。この点に関しては、図1で概略図解されているように、図3の差動入力信号IN1及びIN2と差動出力信号x及びyは図2の同じ記号の信号に並列に接続されている。差動出力x及びyは、實際上、トランジスタQ5とQ9、及びQ8とQ12を通る電流をそれぞれ加算する電流加算点である。これらのトランジスタのコレクタは高出力インピーダンスを有し、コレクタが共通接続されたトランジスタの出力電流には影響を与えない。【0006】 図2において、電流源 I_{E1} は差動入力トランジスタ対Q1とQ2にテール電流を供給し、図3においては、電流源 I_{E2} が差動入力トランジスタの対Q3とQ4にテール電流を供給する。また、図2の抵抗器 R_{E1} 及び図3の抵抗器 R_{E2} は、利得制限・線形化抵抗器であり、従って図2の回路は高利得低ノイズ増幅器の回路であるから、通常抵抗器 R_{E1} は値が小さく、省かれることもある。しかしながら、図3の抵抗器 R_{E2} は低利得高入力過負荷増幅器にとって望ましい小さく制限された利得と高い直線性という点に従って選択され、これら2つの抵抗器は無理のない範囲でできる限り同じ値にすることが望ましい。【0007】 利得制御信号AGC1(図2)は、トランジスタQ6とQ7のベース電圧に対して相対的にトランジスタQ5及びQ8のベース電圧を制御する。トランジスタQ5乃至Q8が全く同じ大きさであると仮定すると、差動利得制御信号AGC1がゼロのとき、トランジスタQ5とQ6のベース・エ

ミッタ電圧は同じになるので、トランジスタQ1のコレクタ電流はトランジスタQ5とQ6とに等しく分割されて流れる。同様に、この条件の下で、トランジスタQ2のコレクタ電流はトランジスタQ7とQ8とに等しく分割されて流れる。【0008】 利得制御信号AGC1が完全にオン（最大利得）のとき、AGC1の正の利得制御端子は負端子より十分高く駆動されて、トランジスタQ5がより強く導通すると共に、トランジスタQ6はほとんど非導通状態になるので、トランジスタQ1の全コレクタ電流はトランジスタQ5を通過して流れる。同時に、トランジスタQ2の全コレクタ電流はトランジスタQ8を通過して流れることになる。同様に、利得制御信号AGC1が十分に負の場合は、負の利得制御端子は正端子に比べて十分高く駆動されてトランジスタQ6及びQ7をより強く導通させると共に、トランジスタQ5及びQ8をほぼ非導通にするので、トランジスタQ1及びQ2のコレクタ電流はそれぞれトランジスタQ6及びQ7を通過して流れるようになる。従って、トランジスタQ5とQ6はトランジスタQ1のコレクタ電流のための制御可能な線形電流分割器ないしは分流器を形成し、同じくトランジスタQ7とQ8もトランジスタQ2のコレクタ電流のための制御可能な線形電流分割器を形成する。図3においては、上記同様にトランジスタQ9とQ10がトランジスタQ3のコレクタ電流のための制御可能な線形電流分割器を形成し、トランジスタQ11とQ12がトランジスタQ4のコレクタ電流のための制御可能な線形電流分割器を形成する。【0009】 ここで説明した制御可能な線形電流分割器は、通常の電流範囲では電流分割ないしは分流が全く一定に保たれるという点で非常に線形性が高いということに注目すべきである。特に、もし2つの同じトランジスタが異なる電流を流した状態で動作する場合、それらの2つのトランジスタのベース-エミッタ電圧の差は次式で与えられる： $V_{BE1} - V_{BE2} = (KT/q) \cdot \ln(I_{C1}/I_{C2})$ 式中： K =ボルツマン定数 T =絶対温度 q =電子電荷 V_{BE1} 、 V_{BE2} =2つのトランジスタのベース-エミッタ電圧 I_{C1} 、 I_{C2} =2つのトランジスタのコレクタ電流【0010】 このように、与えられた絶対温度においては、それぞれの利得制御信号（図2のAGC1と図3のAGC2）によって制御される2つの利得制御トランジスタのベース-エミッタ電圧の差は、これら2つのトランジスタを流れる電流の和、増幅器の入力端の電流の和も入力信号強度によって左右されるにかかわらず、2つの電流の分割比あるいは分流比を同等なものとする。電流比は絶対温度に従って変化するが、この回路が使用されるシステムは、回路の所望の総合利得をその使用温度範囲にわたって維持するのに必要な形で温度変化を妨げるように利得制御信号を制御する。【0011】 再び図2に戻って、npnトランジスタQ13及びQ14はコレクタが正電源VCCに接続され、ベースがそれ

ぞれxとyの差動出力に接続され、エミッタが抵抗器R3及びR4を介してそれぞれ差動増幅器入力IN1及びIN2の対応する1つに接続されている。電流源IE3は、トランジスタQ13及びQ14が所定の導通状態になるためのバイアス電流を供給する。トランジスタQ13及びQ14とその付随回路は任意態様として設けることが可能な構成要素であり、例えば、それが望ましい場合、インピーダンス整合用として設けることができる。特に、R3及びR4は、増幅器に差動入力信号を供給する他の回路または装置の出力インピーダンスとの整合をより良くするために増幅器の入力インピーダンスを小さくするための抵抗器である。図示のようなR3及びR4の接続形態は、対応する差動入力と電源端子との間にこれらの抵抗器を接続する場合と比較してノイズが大きく低減される。しかしながら、図示の回路は、増幅器の入力インピーダンスが利得従属性になるという短所がある。詳しく言うと、R3及びR4が電源端子に接続されているとすれば、増幅器の入力インピーダンスはほぼ抵抗器R3及びR4の値と等しい。しかしながら、図示のような接続形態の場合、増幅器の入力インピーダンスは $R/(1+A)$ に等しくなる。ただし、RはR3及びR4の各抵抗器の値であり、Aは増幅器の利得である。従って、本発明の特徴の1つは可変利得の範囲が広いことであるから、この技術だけを単独で用いた入力インピーダンス整合は明らかに限界があり、実際には入力インピーダンスが低利得で不当に低くならないような場合に高利得においてしか整合を達成することができない。【0012】 より良い入力インピーダンス整合が必要な場合は、この技術をもう一つの入力インピーダンス補償技術と組み合わせて使用するか、あるいは、何か他の入力インピーダンス設定法を使用することが可能である。一例として、一対の回路の各々（図4に示すような回路）を差動入力IN1及びIN2にそれぞれ接続する。図4では入力とはまとめて符号INで示されている。この回路においては、抵抗器RMとダイオードD1を通る電流はnpnトランジスタQ15によって制御され、またトランジスタQ15はこのトランジスタのベースの電圧VMによって制御される。それぞれの差動入力信号INはコンデンサC1を介して2つの抵抗器RMの中点に接続されている。典型的な増幅器動作周波数では、コンデンサC1のインピーダンスは比較的低いが、直流阻止効果をもたらすので図4の回路が差動入力の低周波共通モード電圧に影響を与えることはない。【0013】 トランジスタQ15のベース電圧VMが低いときは、このトランジスタはオフになって抵抗器RMには電流が流れず、もちろんダイオードD1にはこれを導通状態にするバイアスは与えられない。その結果、これらの抵抗器は事実上浮いた状態になるので、回路は増幅器の入力インピーダンスに対して無視できる程度の影響しか及ぼさず、過負荷能力を損なうような非線形性を生じさせるこ

とはない。これは、増幅器入力インピーダンスが抵抗器R3及びR4の値によって設定される図2及び3の増幅器について利得設定が比較的高い(A、すなわち増幅器の利得が高く、入力インピーダンスが最も低くなる)ことを典型的に表している。利得が小さくなるにつれて、電圧 V_M をVCCまで上げることによりトランジスタQ15をオンにし、ダイオードD1を実質的な導通状態にすることができる。すると、入力INで見た標準的な動作周波数における入力インピーダンスはほぼ $R_M/2$ に等しくなる。【0014】 図4の回路において、抵抗器 R_M の入力INに対するカップリングは、トランジスタQ15のベース電圧を変えて抵抗器 R_M を流れる電流をゼロから通常数ミリアンペアであるその最大動作値まで変えることによって変えることができる。これによってトランジスタQ15とダイオードD1のインピーダンスのインクリメント幅が大きくなるので、入力インピーダンスに対する影響は $R_M/2$ より大きくなる。しかしながら、これは、より低い増幅器利得におけるインピーダンス整合には、図2及び3の増幅器の入力に結合されるインピーダンスをさらに追加することが必要になるので、好ましくない。例えば、増幅器が飽和する前の差動入力信号の通常動作振幅変化がより大きくなって、低いバイアス電流レベルでの動作時、電流変化によるトランジスタQ15とダイオードD1の非線形性が増大するために入力歪みが大きくなる。【0015】 本発明は、多くの用途で大いに要望される機能として、高利得モードにおいて超低ノイズであり、低利得モードで超高入力過負荷能力を有する超広ダイナミックレンジ増幅器を提供するものである。小さい入力(高利得)に対しては、電流源 I_{E2} は好ましくはオフとなり、利得制御信号AGC1が最大利得に設定される。入力信号がある最小値以上に大きくなると、利得は利得制御信号AGC1の制御によって低減される。さらに大きい入力信号に対しては、利得制御信号AGC1が図2の高利得低ノイズ増

幅器の利得をさらに低減するように制御されるので電流源 I_{E2} がオンになり、利得制御信号AGC2はほぼゼロの利得設定から大幅に増大する。結局、低利得の高過負荷モードにおいては電流源 I_{E1} がオフになり、低利得、高過負荷モード中の利得変動は全面的に利得制御信号AGC2によって制御されることになる。この状態では、高利得低ノイズ増幅器はオフになり、低利得状態で望まれる高過負荷特性を損なうような非線形性を生じることではない。必要ならば、この状態で電流源 I_{E1} の上側にあるノードの電圧を幾分正にして、Q1及びQ2が確実に明確なオフ状態となるようにすることも可能である。どちらかの電流源をオンまたはオフにする際には、それぞれ対応する利得制御信号がその対応する回路からの利得がほぼゼロになるように指示しているときにのみそれらの電流源をオンまたはオフにすることによって、利得変化が不連続なステップ状になるのを避けることができる。【0016】 本発明で開示した実施形態は、具体性を示すためにnpnバイポーラトランジスタを使用する場合について開示し、説明した。しかしながら、例えばpnpトランジスタやnチャンネルまたはpチャンネルMOS素子のような他の能動素子を使用することが可能ことは当業者にとって明白であろう。【0017】 本発明は、特定の実施例との関連で開示し、説明したが、当業者ならば形式及び細部において発明の精神及び範囲を逸脱することなく様々な変更・修正態様をなし得ることは理解されよう。【図面の簡単な説明】 【図1】 本発明の構成を示すブロック図である。【図2】 図1のブロック図における経路1、すなわち高利得低ノイズ信号経路の回路図である。【図3】 図1のブロック図における経路2、すなわち低利得高過負荷能力経路の回路図である。【図4】 入力インピーダンス付加調整のために図2及び3の増幅器の各差動入力に接続することが可能な回路の回路図である。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No. PCT/US 99/04037	
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H03F3/68 H03G1/00	
According to International Patent Classification (IPC) or to both national classification and IPC	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H03F H03G	
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched	
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)	
C. DOCUMENTS CONSIDERED TO BE RELEVANT	
Category *	Citation of document, with indication, where appropriate, of the relevant passages Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 102 (E-1043), 12 March 1991 & JP 02 308606 A (HITACHI LTD), 21 December 1990 see abstract --- 1,5
A	PATENT ABSTRACTS OF JAPAN vol. 002, no. 004 (E-003), 12 January 1978 & JP 52 119850 A (FUJITSU LTD), 7 October 1977 see abstract --- 1,5
A	US 4 370 681 A (AKAGIRI KENZO) 25 January 1983 see abstract --- 1
-/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.	
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the published on date of another citation or other special reason (as specified) "O" document relating to an oral disclosure, use, exhibition or other means "P" documents published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family	
Date of the actual completion of the international search	Date of mailing of the international search report
18 May 1999	28/05/1999
Name and mailing address of the ISA European Patent Office, P.O. 6816 Patentlaan 2 NL - 2280 HW Rijswijk Tel (+31-70) 340-2040, Tx. 31 651 epo nl Fax: (+31-70) 340-3016	Authorized officer Blaas, D-L

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Int. Patent Application No.
PCT/US 99/04037

C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GB 2 279 788 A (PHILIPS ELECTRONICS UK LTD) 11 January 1995 see abstract	1
A	US 5 008 631 A (SCHERER DIETER ET AL) 16 April 1991 see abstract	1

INTERNATIONAL SEARCH REPORT

Information on parent family members

International Application No

PCT/US 99/04037

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4370581	A	25-01-1983	JP 55158715 A CA 1147267 A DE 3019424 A FR 2458124 A GB 2052926 A,B	10-12-1980 31-05-1983 11-12-1980 26-12-1980 28-01-1981
GB 2279788	A	11-01-1995	NONE	
US 5008631	A	16-04-1991	NONE	

フロントページの続き

Fターム(参考) 5J069 AA01 AA21 AA22 CA25 CA32
CA41 CA71 CA75 FA09 FA10
FA15 HA02 HA19 HA25 HA29
KA02 KA05 KA26 KA29 KA47
MA19 MA21 SA01 SA13 TA01
5J100 AA14 AA15 AA16 BA06 BB01
BB21 BC02 CA21 DA06 EA02
FA02